



Herr
Dipl.-Inf. Marc Reichenbach
(PERSÖNLICH)

SS'17: Auswertung für CPU Entwurf mit VHDL

Sehr geehrter Herr Dipl.-Inf. Reichenbach,

Sie erhalten hier die Ergebnisse der automatisierten Auswertung der Lehrveranstaltungsevaluation im SS'17 zu Ihrer Umfrage vom Typ "Vorlesung":

- CPU Entwurf mit VHDL -

Es wurde hierbei der Fragebogen - t_s17v1 - verwendet, es wurden 19 Fragebögen von Studierenden ausgefüllt.

Die Note 1 kennzeichnet hierbei eine maximale Güte, die Note 5 eine minimale Güte für die einzelnen Fragen bzw. Mittelwerte.

Der Kapitel-Indikator für "Hauptfragen zu Lehrveranstaltung und Dozentin/Dozent" zeigt den Mittelwert der 6 Hauptfragen und damit den Lehrqualitätsindex (LQI), dieser wird für die Bestenlisten der verschiedenen Kategorien, und zur Qualitätssicherung durch die Studienkommissionen verwendet.

Der Kapitel-Indikator für "Weitere Fragen zu Lehrveranstaltung und Dozentin/Dozent" zeigt den Mittelwert für die restlichen Einzelfragen, diese dienen nur der Information der Dozentin/des Dozenten.

Bei den Einzelfragen werden je nach Fragen-Typ die Anzahl und Verteilung der Antworten, Mittelwert und Standardabweichung aufgelistet.

Die Text-Antworten für jede offene Frage sind zusammengefasst aufgelistet.

Eine Profillinie zeigt den Vergleich zu den Mittelwerten aller Rückläufer für diesen Fragebogen-Typ. Die Profillinie eignet sich auch zur Präsentation in der LV.

Eine Einordnung Ihrer Bewertung ist nach Abschluss der Ergebnisauswertung unter

<http://eva.tf.fau.de> --> Ergebnisse --> SS'17 möglich, siehe Bestenlisten, Percentile, etc.

Bitte melden Sie an tf-evaluation@fau.de die Anzahl der ausgegebenen TANn, wenn Sie das bis jetzt versäumt haben.

Mit freundlichen Grüßen

Kai Willner (Studiendekan, kai.willner@fau.de)

Jürgen Fricke (Evaluationskoordinator, tf-evaluation@fau.de)

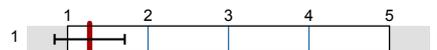
Dipl.-Inf. Marc Reichenbach



SS'17 • CPU Entwurf mit VHDL
 ID = 17s-CPU
 Rückläufer = 19 • Formular t_s17v1 • LV-Typ "Vorlesung"

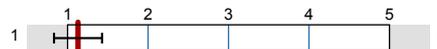
Globalwerte

3. Hauptfragen zu Lehrveranstaltung und Dozentin/Dozent



mw=1,27
s=0,44

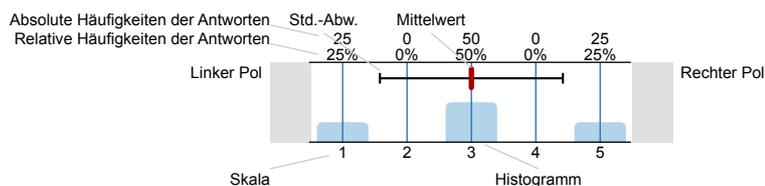
5. Weitere Fragen zu Lehrveranstaltung und Dozentin/Dozent



mw=1,13
s=0,3

Legende

Fragetext



n=Anzahl
 mw=Mittelwert
 s=Std.-Abw.
 E.=Enthaltung

2. Allgemeines zur Person und zur Lehrveranstaltung

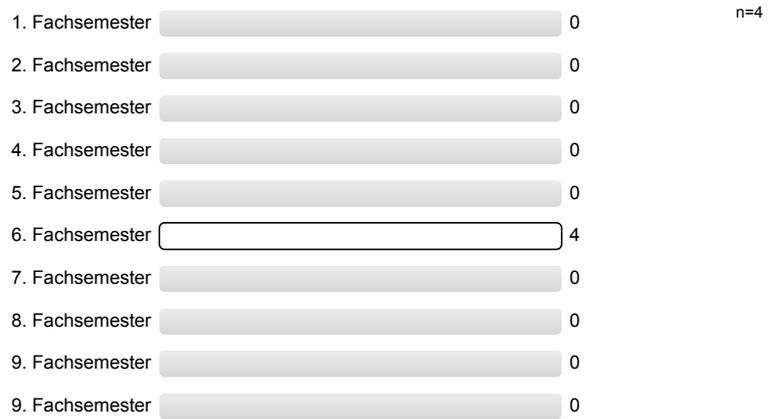
2.1) ▶▶ Ich studiere folgenden Studiengang:

- EEI • Elektrotechnik - Elektronik - Informationstechnik 1 n=19
- INF • Informatik 15
- IuG • Informatik und geisteswissenschaftliches Fach 1
- IuK • Informations- und Kommunikationstechnik 2

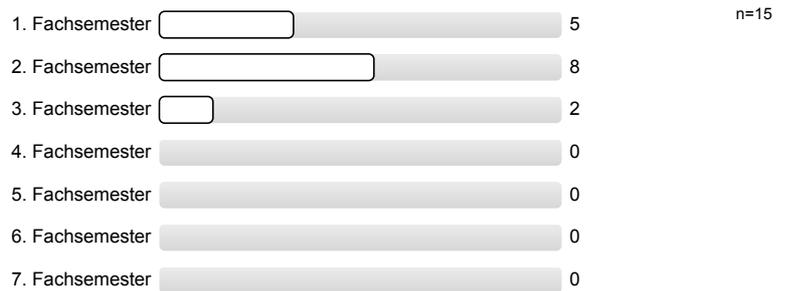
2.2) ▶▶ Ich mache folgenden Abschluss:

- B.Sc. • Bachelor of Science 4 n=19
- M.Sc. • Master of Science 15
- M.Sc.(hons) • Master of Science with Honours 0
- M.Ed. • Master of Education 0
- LA • Lehramt mit Staatsexamen 0
- Dr.-Ing. • Promotion 0
- Zwei-Fach-Bachelor of Arts 0
- Sonstiges 0

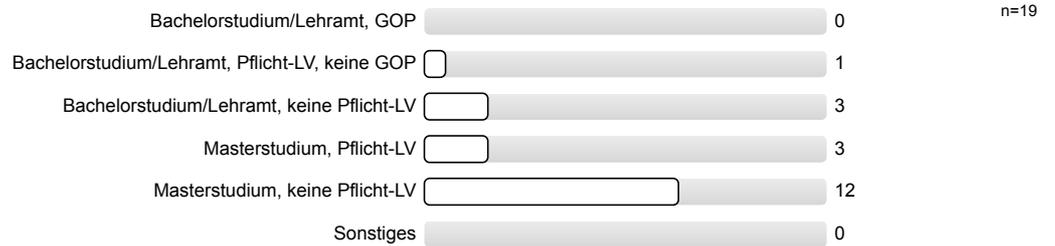
2.3) Ich bin im folgenden Fachsemester (im Bachelor):



2.4) Ich bin im folgenden Fachsemester (im Master):



2.5) ▶▶ Diese Lehrveranstaltung gehört für mich zum



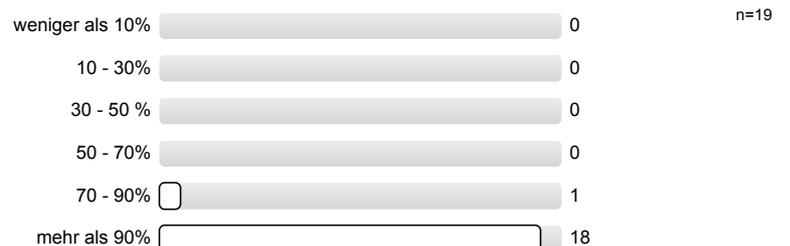
2.6) Als Studiengang bzw. Abschluss ist *Sonstiges* ausgewählt, ich studiere folgende Kombination:

Es wird keine Auswertung angezeigt, da die Anzahl der Antworten zu gering ist.

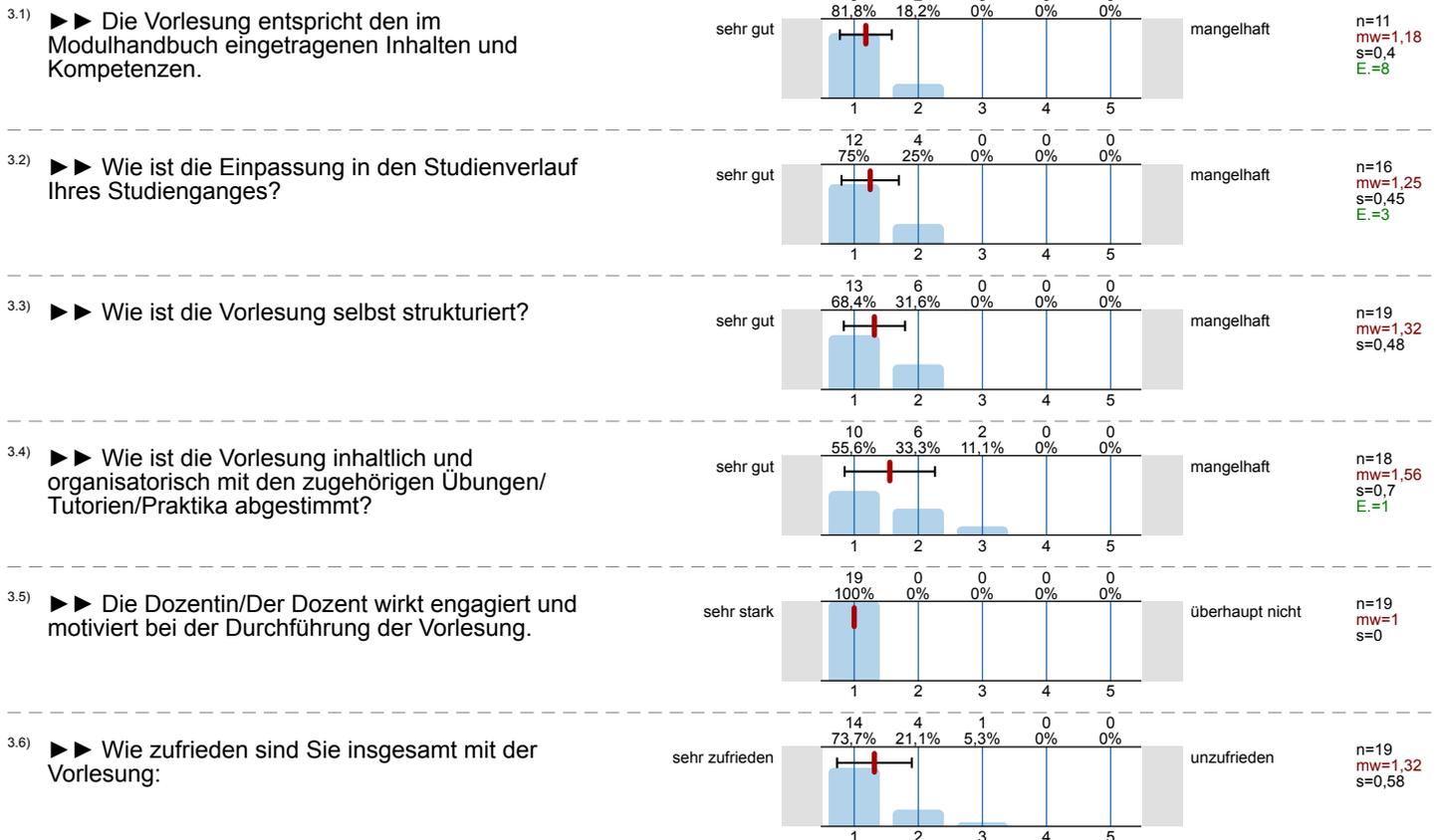
2.7) Ich besuche etwa Prozent dieser Vorlesung.



2.8) Die oben genannte Dozentin/Der oben genannte Dozent hat diese Vorlesung zu selbst gehalten.



3. Hauptfragen zu Lehrveranstaltung und Dozentin/Dozent



4. Kommentare zu Lehrveranstaltung und Dozentin/Dozent

4.1) An der Lehrveranstaltung gefallen mir folgende Aspekte besonders:

- * Anekdoten aus dem "echten" CPU-Designer-Leben

- * Eine komplette CPU selbst designen

- Der Dozent ist sehr nett und gibt sich viel Mühe die Studenten auch zu erreichen sowie die Kritikpunkte aus der letzten Evaluation dieses Mal besser zu machen. Er hat dies ein paar Mal erwähnt :D

Die lockere Stimmung ist erfrischend anders und trägt dazu bei, dass man trotz des nicht gerade trivialen Stoffs dennoch gerne kommt.

- Der kontinuierliche Aufbau von den VHDL-Grundlagen bis zur Pipeline-CPU ist sehr gut verständlich strukturiert und ausgearbeitet.

- Die Vorlesung ist eher wie eine interaktive Übung aufgebaut, was sehr angenehm ist. Selbst zur Vorlesung um 8:00 Uhr war ich immer da.

- Fachliche Kompetenz.

Schön interaktiv und der Dozent kann alle Fragen gut beantworten. Dabei bemüht er sich, dass der Stoff bei allen ankommt.

- Gutes Zusammenspiel zwischen Übung und Vorlesung.

- Marc ist ein wirklich sehr sehr netter Dozent. Antwortet gerne auf Fragen und geht auf die Belange der Studis ein.

Man lernt mal so alles ums Thema Grundlagen zur VHDL Entwicklung, CPU Aufbau und über die FPGAs auf denen das nachher laufen muss. Ja, viel mehr kann ich auch nicht sagen. Genau deshalb hab ich mich für dieses Modul entschieden :)

Ich hab vorher schon ein bisschen selbst (auch funktionsfähiges) VHDL geschrieben und ich fand die Vorlesung bisher wirklich schön um das nutzlose GTI + mein selbsterarbeitetes Wissen nochmal zu konsolidieren und auch neue Sachen zu lernen, die ich vorher nicht kannte. In der Hinsicht kann ich die Vorlesung also auch nur weiterempfehlen!

"Bergvorlesung"!!!

- Mix aus Theorie und Praxisbezug
- Praxisbezug ist klar ersichtlich, Blick fürs Detail ist vorhanden. Fragen werden beantwortet.
- Sehr gutes Arbeitsklima
- Struktur & Präsentation sehr gut!

4.2) An der Lehrveranstaltung gefällt mir Folgendes weniger, und ich schlage zur Verbesserung vor:

- Abstimmung mit Übung passt nicht immer ganz
- Die Abstimmung zur Übung ist evtl nicht ganz so gut, zB waere es besser wenn der Assembler Teil vor der Stelle kommt, wo man den Mars-Simulator verwenden muss (oder eben ein Beispiel fuer die Mips-Instr. vorgeben). Ebenso lernt man manche vhdl-konstrukte erst nachdem man sie haette gebrauchen koennen.

Manche Folien sind nicht sehr selbsterklaerend. Es waere schoen, wenn es mehr Text bzw Begleitmaterialien dazu gaebe, damit man den Stoff auch alleine nacharbeiten kann.

Eine Vorlesungsaufzeichnung waere loeblich ;)

- Die Prüfungseinteilung hätte man online machen können.

Ich glaube, man muss gar nicht mal so viel wiederholen, auch die "Externen" haben sicher schon mal von ASM gehört, das ist ja kein Alleinstellungsmerkmal von GRa :)

- Foliensätze:

1. Viele vermeidbare Rechtschreibfehler. Da kann man einfach mal einen Studenten für ein Bierchen korrigieren lassen.
2. Inhaltliche Fehler: Manchmal schleichen sich auch solche Fehler ein und das macht das Lernen natürlich sehr schwer.
3. Generell sollte man die Folien optisch etwas aufpolieren. Z.B. tauchen manchmal Listen oder Bilder ohne Beschreibung auf, was es dem Leser schwer macht den Kontext zu verstehen.

- Für jeden der GRa oder was äquivalents gehört hat, kann man den Assemblerteil eigentlich weglassen. Das sind 2 Termine, die nach meinem Eindruck her nicht wirklich nützlich (unabhängig der Vertretung) waren. Schleifenumformung, Assemblermnemonics, Flags und der ganze Kram hat man alles in GRa gemacht und ich hätte literally nicht kommen brauchen.

Falls man nicht weiß welche MIPS Register es gibt, oder wie Instruktion XY hieß, ist das eh was, was man dann einfach spontan nachschaut.

- Separate Übungsfolien waeren sehr gut.

Ohne die Tipps aus der VL ist man (im Krankheits-/Faulheitsfall) teilweise sehr ratlos.

4.3) Zur Lehrveranstaltung möchte ich im Übrigen anmerken:

- Auf jeden Falle eine etwas unkonventionell gehaltene Vorlesung :D
- Beste Vorlesung dieses Semesters!!
- Die Synchronisation zur Übung ist nicht ganz sauber. Teilweise wird die Übung vor der Vorlesung durchgeführt.

Pipelining ist eine langwierige Aufgabe umzusetzen

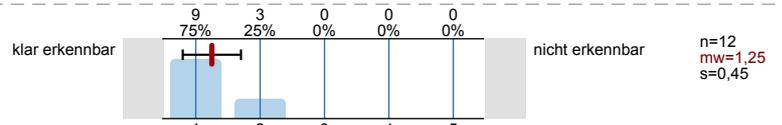
- Eine der besten Vorlesungen in meinem Studium!
- Sehr engagiert und investiert extra Zeit in die Studenten. (sogar an einem Freitag Abend um 20 Uhr) Dafür ein großes Dankeschön.
- es wäre gut, wenn CPU-Design und ASIC-Design in den Semestern gewechselt werden, da viele Studenten im WS anfangen und dort aktuell die Fortsetzungs-Vorlesung angeboten wird

5. Weitere Fragen zu Lehrveranstaltung und Dozentin/Dozent

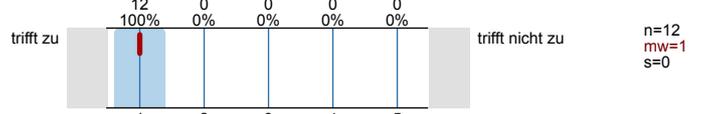
5.1) Weitere Fragen zu Lehrveranstaltung und Dozentin/Dozent beantworten?



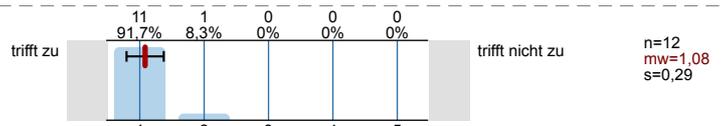
5.2) Zielsetzungen und Schwerpunkte des Vorlesungsinhalts sind:



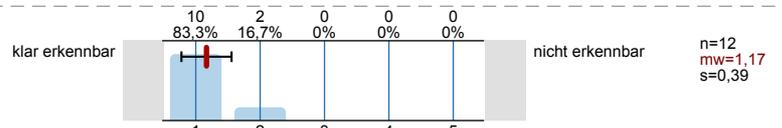
5.3) Die Dozentin/Der Dozent fördert das Interesse am Themenbereich.



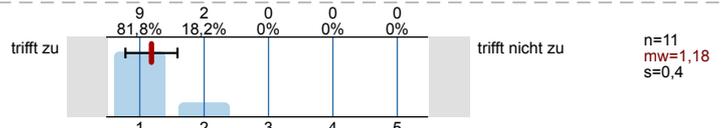
5.4) Die Dozentin/Der Dozent stellt Beziehungen zur Praxis bzw. zur Forschung her.



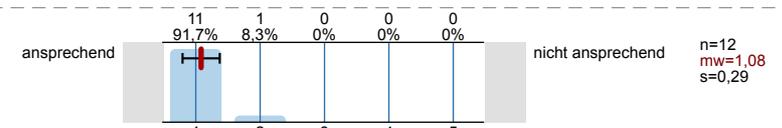
5.5) Der rote Faden während der Vorlesung ist meist:



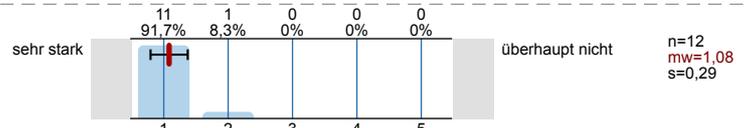
5.6) Der dargebotene Stoff ist nachvollziehbar, es ist genügend Zeit zum Mitdenken vorhanden.



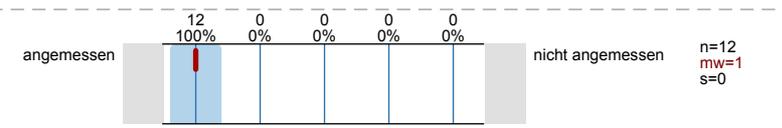
5.7) Der Präsentationsstil der Dozentin/des Dozenten ist:



5.8) Die Dozentin/Der Dozent geht auf Fragen und Belange der Studierenden ein.



5.9) Der Einsatz und das Zusammenspiel von Medien (Tafel, Overhead-Projektor, Beamer, etc.) ist:



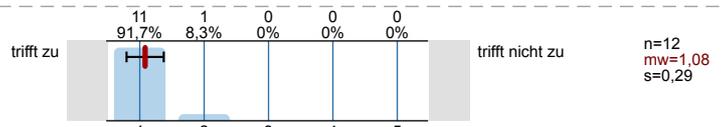
5.10) Die gezeigten Experimente, Simulationen, Beispiele, Anwendungen, o.ä. helfen beim Verständnis des Stoffes.



5.11) Anhand des Begleitmaterials, der Literaturhinweise und der Hinweise in der Vorlesung sind Vor- und Nachbereitung:

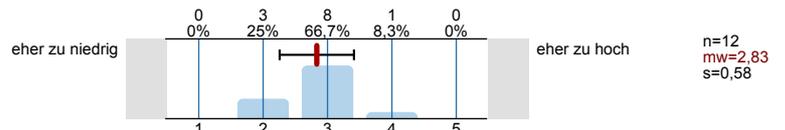


5.12) Der Bezug zu den Prüfungsanforderungen wird hergestellt.

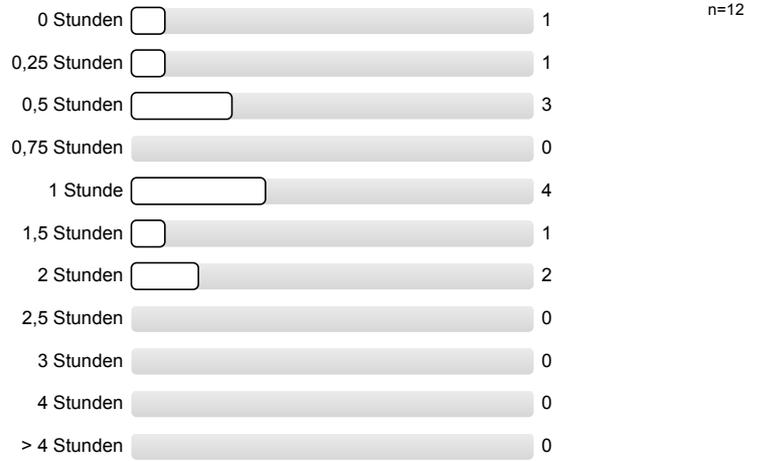


6. Schwierigkeitsgrad und Aufwand

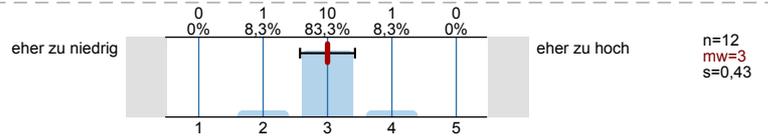
6.1) Der Schwierigkeitsgrad des Stoffes ist:



6.2) Mein Durchschnittsaufwand für Vor- und Nachbereitung dieser Vorlesung beträgt pro Woche:



6.3) Meinen zeitlichen Durchschnittsaufwand für diese Vorlesung finde ich:

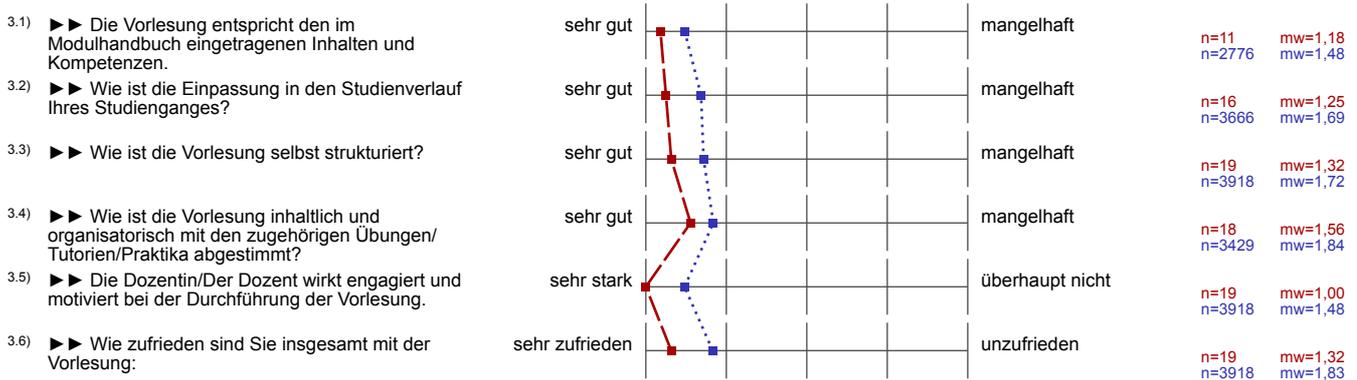


Profillinie

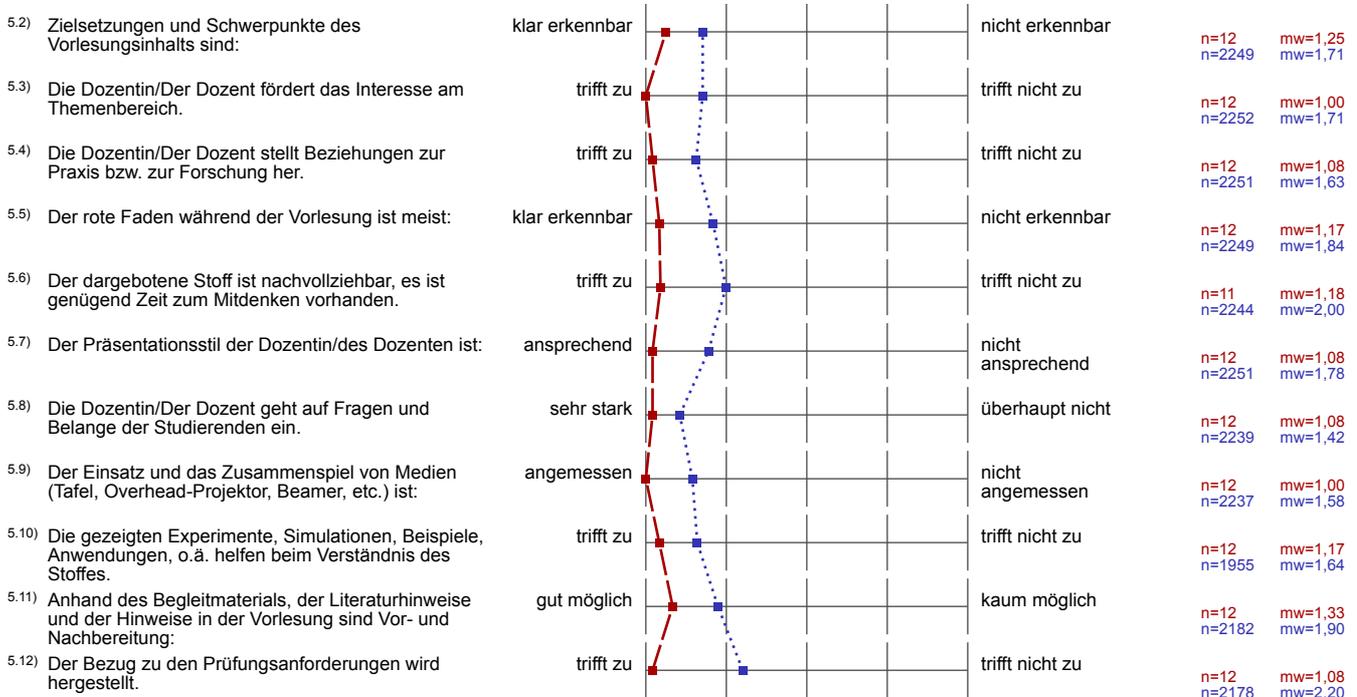
Teilbereich: Technische Fakultät (TF)
 Name der/des Lehrenden: Dipl.-Inf. Marc Reichenbach
 Titel der Lehrveranstaltung: CPU Entwurf mit VHDL
 (Name der Umfrage)
 Vergleichslinie: Mittelwert_aller_Vorlesungs_Rückläufer_SS'17

Verwendete Werte in der Profillinie: Mittelwert

3. Hauptfragen zu Lehrveranstaltung und Dozentin/Dozent



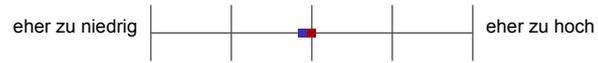
5. Weitere Fragen zu Lehrveranstaltung und Dozentin/Dozent



6. Schwierigkeitsgrad und Aufwand



6.3) Meinen zeitlichen Durchschnittsaufwand für diese Vorlesung finde ich:



n=12 mw=3,00
n=2141 mw=2,88